

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305962

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

G06F 17/50

(21)Application number : 11-110040

(71)Applicant : NEC CORP

(22)Date of filing : 16.04.1999

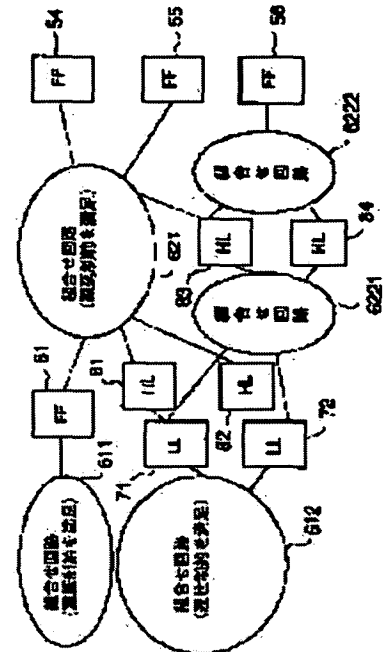
(72)Inventor : YOSHIKAWA HIROSHI

(54) DELAY OPTIMIZING METHOD, DELAY OPTIMIZING DEVICE AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique to optimize delay by which more advantageous effect is obtained for a circuit large in clock skew.

SOLUTION: Flip-flops FF (52, 53) with margin on delay restriction on a combinational circuit 612 on the input side and with violation of delay restriction on a combinational circuit on the output side are replaced with low active level sensitive latches LL 71, 72. Thus, the violation of delay restriction in the combinational circuit on the output side is dissolved by allocating time when data is inputted in the flip-flops to when the data is held by the flip-flop to the combinational circuit on the output side.



LEGAL STATUS

[Date of request for examination]	24.03.2000
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3317344
[Date of registration]	14.06.2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-305962

(P2000-305962A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.⁷

G 0 6 F 17/50

識別記号

F I

G 0 6 F 15/60

ターマート*(参考)

6 5 6 D 5 B 0 4 6

6 5 2 E

審査請求 有 請求項の数17 O L (全 17 頁)

(21)出願番号 特願平11-110040

(22)出願日 平成11年4月16日(1999.4.16)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉川 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100071272

弁理士 後藤 洋介 (外1名)

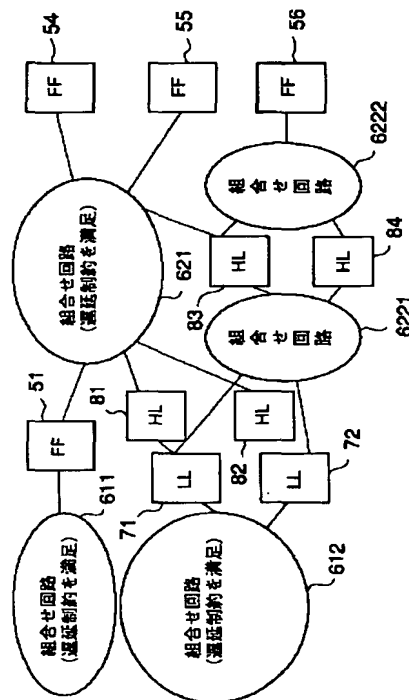
Fターム(参考) 5B046 AA08 BA03 JA07

(54)【発明の名称】 遅延最適化方法及び遅延最適化装置並びに記録媒体

(57)【要約】

【課題】 従来の手法とは異なる、遅延最適化の手法を提供すること。

【解決手段】 入力側の組合せ回路612に遅延制約上の余裕があり、且つ、出力側の組合せ回路622に遅延制約違反があるようなフリップフロップFF(52、53)を、ローアクティブのレベルセンシティブラッチL71、72に置き換えることにより、フリップフロップにデータが入力されてからフリップフロップが当該データを保持するまでの時間を出力側組合せ回路622へ割当てて、出力側組合せ回路622における遅延制約違反を解消する。



【特許請求の範囲】

【請求項 1】 クロックにおける第 1 レベルから第 2 レベルへの変化時のエッジに応じて入力されるデータを保持するフリップフロップと、組合せ回路とを備える順序回路における遅延を最適化するために、

特定の一のフリップフロップに着目し、

当該特定のフリップフロップの入力側組合せ回路における遅延が設計上要求される制約を所定の余裕をもって満たしているという第 1 の条件と、当該フリップフロップの出力側組合せ回路における遅延が前記制約に違反しているという第 2 の条件との双方を、当該特定のフリップフロップが満たしているか否かを判定し、

前記特定のフリップフロップが前記双方の条件を満たしている場合に、当該特定フリップフロップを、クロックが第 1 のレベルを示している際の入力データを出力側にスルーする第 1 のレベルセンシティブラッチに置き換えることを特徴とする遅延最適化方法。

【請求項 2】 請求項 1 に記載の遅延最適化方法であって、

前記出力側組合せ回路の後段に前記特定のフリップフロップとは異なる他のフリップフロップが存在するか否かを判定し、

当該他のフリップフロップが存在する場合には、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを、前記第 1 のレベルセンシティブラッチと前記他のフリップフロップとの間の所定位置に挿入することを特徴とする遅延最適化方法。

【請求項 3】 請求項 2 に記載の遅延最適化方法において、

前記第 1 のレベルセンシティブラッチが入力データをスルーした際の前記第 1 のレベルを特定の第 1 レベルとし、クロックサイクルにおいて当該特定の第 1 レベルの直後に続く前記第 2 のレベルを特定の第 2 レベルとし、クロックが当該特定の第 2 レベルを示している時間を特定時間とした場合に、前記出力側組合せ回路中において、前記特定時間に属する最悪遅延時間を有するような位置を検索し、

当該検索した位置を前記所定位置とすることを特徴とする遅延最適化方法。

【請求項 4】 請求項 1 に記載の遅延最適化方法であって、

前記置き換えられた第 1 のレベルセンシティブラッチの後段に、前記出力側組合せ回路とは異なる他の出力側組合せ回路が存在し、且つ、当該他の出力側組合せ回路に違反がなかった場合において、

当該他の出力側組合せ回路の後段に更に、前記特定のフリップフロップとは異なる他のフリップフロップが存在するか否かを判定し、

当該他のフリップフロップが存在する場合には、前記第

1 のレベルセンシティブラッチと前記他の出力側組合せ回路との間に、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを挿入することを特徴とする遅延最適化方法。

【請求項 5】 請求項 1 に記載の遅延最適化方法において、

前記第 1 及び第 2 のレベルは、それぞれ、ローレベル及びハイレベルであり、前記フリップフロップは、クロックの立ち上がりエッジ時における入力データを保持するものであり、

前記第 1 のレベルセンシティブラッチは、ローアクティブのラッチであることを特徴とする遅延最適化方法。

【請求項 6】 クロックにおける第 1 レベルから第 2 レベルへの変化時のエッジに応じて入力されるデータを保持するフリップフロップと、組合せ回路とを有する順序回路における遅延を最適化するための遅延最適化装置であって、

前記順序回路に関する情報を入力論理回路情報として受けて、前記順序回路における遅延を解析する遅延解析手段と、

前記順序回路に含まれるフリップフロップのうちの特定の一のフリップフロップに着目し、当該特定のフリップフロップが第 1 及び第 2 の条件の双方を満たしているか否かを判定するための条件判定手段であって、前記第 1 の条件は、当該特定のフリップフロップの入力側組合せ回路における遅延が設計上要求される制約を所定の余裕をもって満たしていることであり、前記第 2 の条件は、当該フリップフロップの出力側組合せ回路における遅延が前記制約に違反していることである、条件判定手段と、

当該条件判定手段の判定結果に従い、前記特定のフリップフロップが前記双方の条件を満たしている場合に、当該特定フリップフロップを、クロックが第 1 のレベルを示している際の入力データを出力側にスルーする第 1 のレベルセンシティブラッチに置き換えるためのラッチ変換手段とを備えることを特徴とする遅延最適化装置。

【請求項 7】 請求項 6 に記載の遅延最適化装置であって、

前記順序回路を入力論理回路情報として格納するための入力論理回路情報格納手段と、

処理対象たるデータを一時的に格納する内部データベースと、

前記内部データベースに、当該入力論理回路情報格納手段からの入力論理回路情報を設定する回路情報入力手段とを更に備え、

前記遅延解析手段、前記条件判定手段及び前記ラッチ変換手段は、前記内部データベースに格納された入力論理回路情報に基づいて、各手段の処理を実行すると共に、前記内部データベースに格納される入力論理回路情報を

3

更新するものであることを特徴とする遅延最適化装置。

【請求項 8】 請求項 6 に記載の遅延最適化装置であって、

前記入力論理回路情報に基づいて、前記出力側組合せ回路の後段に前記特定のフリップフロップとは異なる他のフリップフロップが存在する場合に、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを、前記第 1 のレベルセンシティブラッチと前記他のフリップフロップとの間の所定位置に挿入するためのラッチ挿入手段を更に備えることを特徴とする遅延最適化装置。

【請求項 9】 請求項 8 に記載の遅延最適化装置において、

前記ラッチ挿入手段は、前記第 1 のレベルセンシティブラッチが入力データをスルーした際の前記第 1 のレベルを特定の第 1 レベルとし、クロックサイクルにおいて当該特定の第 1 レベルの直後に続く前記第 2 のレベルを特定の第 2 レベルとし、クロックが当該特定の第 2 レベルを示している時間を特定時間とした場合に、前記出力側組合せ回路中において、前記特定時間に属する最悪遅延時間を有するような位置を検索し、当該検索した位置を前記所定位置とするものであることを特徴とする遅延最適化装置。

【請求項 10】 請求項 8 に記載の遅延最適化装置であって、

前記ラッチ挿入手段は、前記置き換えられた第 1 のレベルセンシティブラッチの後段に、前記出力側組合せ回路とは異なる他の出力側組合せ回路が存在し、且つ、当該他の出力側組合せ回路に違反がなかった場合において、当該他の出力側組合せ回路の後段に更に、前記特定のフリップフロップとは異なる他のフリップフロップが存在する場合には、前記第 1 のレベルセンシティブラッチと前記他の出力側組合せ回路との間に、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを挿入するものであることを特徴とする遅延最適化装置。

【請求項 11】 請求項 6 に記載の遅延最適化装置において、

前記順序回路を構成する論理回路素子、前記フリップフロップ、前記第 1 のレベルセンシティブラッチに関する遅延情報を格納するライブラリと、

前記クロック及び前記順序回路における設計上の遅延の制約に関する遅延制約情報を格納する遅延制約情報格納手段とを更に備え、

前記遅延解析手段は、該ライブラリ及び遅延制約情報格納手段に接続され、前記遅延情報及び遅延制約情報に従って、前記遅延の解析を行うものであることを特徴とする遅延最適化装置。

【請求項 12】 請求項 6 に記載の遅延最適化装置において、

4

前記第 1 及び第 2 のレベルは、それぞれ、ローレベル及びハイレベルであり、

前記フリップフロップは、クロックの立ち上がりエッジ時における入力データを保持するものであり、

前記第 1 のレベルセンシティブラッチは、ローアクティブのラッチであることを特徴とする遅延最適化装置。

【請求項 13】 クロックにおける第 1 レベルから第 2 レベルへの変化時のエッジに応じて入力される信号を保持するフリップフロップと組合せ回路とを備える順序回路における遅延を最適化する処理を、当該順序回路に関するデータを格納可能なメモリを備え且つプログラムにしたがう処理を実行するコンピュータに対して、実行させるために、

特定の一のフリップフロップに着目して、当該特定のフリップフロップの入力側組合せ回路における遅延が設計上要求される制約を所定の余裕をもって満たしているという第 1 の条件と、当該フリップフロップの出力側組合せ回路における遅延が前記制約に違反しているという第 2 の条件との双方を、当該特定のフリップフロップが満たしているか否かを判定する条件判定処理と、

前記特定のフリップフロップが前記双方の条件を満たしている場合に、当該特定フリップフロップを、クロックが第 1 のレベルを示している際の入力データを出力側にスルーする第 1 のレベルセンシティブラッチに置き換えるラッチ変換処理とを前記コンピュータに実行させる命令を含む遅延最適化プログラムを記録した、前記コンピュータの読取可能な記録媒体。

【請求項 14】 請求項 13 に記載の記録媒体であって、

遅延最適化プログラムは、

前記出力側組合せ回路の後段に前記特定のフリップフロップとは異なる他のフリップフロップが存在する場合に、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを、前記第 1 のレベルセンシティブラッチと前記他のフリップフロップとの間の所定位置に挿入するラッチ挿入処理を前記コンピュータに実行させる命令を更に含むことを特徴とする記録媒体。

【請求項 15】 請求項 14 に記載の記録媒体において、

前記ラッチ挿入処理は、

前記第 1 のレベルセンシティブラッチが入力データをスルーした際の前記第 1 のレベルを特定の第 1 レベルとし、クロックサイクルにおいて当該特定の第 1 レベルの直後に続く前記第 2 のレベルを特定の第 2 レベルとし、クロックが当該特定の第 2 レベルを示している時間を特定時間とした場合に、前記出力側組合せ回路中において、前記特定時間に属する最悪遅延時間を有するような位置を検索し、

当該検索した位置を前記所定位置とするものであること

を特徴とする記録媒体。

【請求項 16】 請求項 13 に記載の記録媒体であって、

前記遅延最適化プログラムは、

前記置き換えられた第 1 のレベルセンシティブラッチの後段に、前記出力側組合せ回路とは異なる他の出力側組合せ回路が存在し、且つ、当該他の出力側組合せ回路に違反がなかった場合であって、当該他の出力側組合せ回路の後段に更に、前記特定のフリップフロップとは異なる他のフリップフロップが存在する場合に、

前記第 1 のレベルセンシティブラッチと前記他の出力側組合せ回路との間に、クロックが第 2 のレベルを示している際の入力データを出力側にスルーする第 2 のレベルセンシティブラッチを挿入するラッチ挿入処理を前記コンピュータに実行させる命令を更に含むことを特徴とする記録媒体。

【請求項 17】 請求項 13 に記載の記録媒体において、

前記遅延最適化プログラムは、前記第 1 及び第 2 のレベルが、それぞれ、ローレベル及びハイレベルであり、前記フリップフロップが、クロックの立ち上がりエッジ時における入力データを保持するものであり、且つ、前記第 1 のレベルセンシティブラッチが、ローアクティブのラッチである前記順序回路用であることを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、論理回路の遅延最適化に関し、特に、順序回路の遅延最適化方法及びそれを実現するための装置、並びにプロセッサ等に当該処理を実行させることのできるプログラムを記録した記録媒体に関する。

【0002】

【従来の技術】 論理回路の遅延最適化には、大別して、2つの手法、即ち、フリップフロップやラッチを含む順序回路を対象として遅延の最適化を行う手法と、フリップフロップやラッチの間に存在する組み合わせ回路部分のみを対象として遅延の最適化を行う手法がある。

【0003】 このうち、前者の遅延最適化手法の例としては、特開平 6-290232 号公報に開示されているもの（以下、従来例 1）が挙げられる。従来例 1 に記載された遅延最適化手法は、リタイミングという方法を採用してなるものである。ここで、リタイミングとは、フリップフロップの位置を変更することにより、最悪遅延を改善しようとするものである。

【0004】

【発明が解決しようとする課題】 しかし、この従来例 1 の遅延最適化手法によれば、フリップフロップの位置変更により、問題が生じることとなっていた。

【0005】 即ち、フリップフロップを含む順序回路に

おいて正しく論理を動作させるためには、フリップフロップの動作を把握することが非常に重要である。詳しくは、設計者側において、フリップフロップにおけるレーシングの発生等をおさえるために、フリップフロップへのデータ入力のタイミング等について、把握している必要がある。しかしながら、従来例 1 の遅延最適化手法においては、その論理解析の中心たるフリップフロップの位置を変更することとしている。そのため、設計当初の論理回路と最適化後の論理回路とでは、当然の如く、フリップフロップの動作が変わることとなり、その結果、当初の論理回路を設計した人が最適化後の論理回路の論理解析を行おうとするときに対応がとり難く、また、一から論理解析を行わなければならないなどの問題が生じていた。

【0006】 そこで、本発明は、従来の手法とは異なる、遅延最適化の手法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、上述した課題を解決するために、入力側の組合せ回路に遅延制約上の余裕があり、且つ、出力側の組合せ回路に遅延制約違反があるようなフリップフロップを、レベルセンシティブラッチに置き換えることにより、フリップフロップにデータ（入力信号）が入力されてからフリップフロップが当該データを保持するまでの時間を出力側組合せ回路へ割当てて、出力側組合せ回路における遅延制約違反を解消することとした。

【0008】 詳しくは、本発明は、クロックにおける第 1 レベルから第 2 レベルへの変化時のエッジに応じて入力されるデータを保持するフリップフロップと、組合せ回路とを備える順序回路における遅延を最適化するために、次のような遅延最適化手法を提供する。

【0009】 即ち、本発明による遅延最適化手法においては、まず、特定のフリップフロップに着目し、当該特定のフリップフロップが第 1 及び第 2 の双方の条件を満たしているか否かを判定する。ここで、第 1 の条件とは、当該特定のフリップフロップの入力側組合せ回路における遅延が設計上要求される制約を所定の余裕をもって満たしていることであり、第 2 の条件とは、当該フリップフロップの出力側組合せ回路における遅延が前記制約に違反していることである。かかる条件を満たす特定のフリップフロップがあった場合、当該特定フリップフロップを、クロックが第 1 のレベルを示している際の入力データを出力側にスルーする第 1 のレベルセンシティブラッチに置き換える。より具体的には、例えば、フリップフロップがクロックの立ち上がりエッジに応じて入力データを保持するものである場合、第 1 のレベルセンシティブラッチは、クロックがローレベルの際の入力データを出力側にスルーする、いわゆるローアクティブのラッチとなる。逆に、フリップフロップがクロックの立ち下がりエッジに応じて入力データを保持するもので

10

20

30

40

50

ある場合、第1のレベルセンシティブラッチは、いわゆるハイアクティブのラッチとなる。

【0010】また、本発明によれば、上述した遅延最適化方法であって、前記出力側組合せ回路の後段に前記特定のフリップフロップとは異なる他のフリップフロップが存在するか否かを判定し、当該他のフリップフロップが存在する場合には、第2のレベルセンシティブラッチを挿入する処理をも含む遅延最適化方法が得られる。ここで、第2のレベルセンシティブラッチとは、クロックが第2のレベルを示している際の入力データを出力側にスルーするラッチであり、第1のレベルセンシティブラッチがローアクティブのラッチであるならば、ハイアクティブのラッチとなる。また、第2のレベルセンシティブラッチの挿入される位置は、前記第1のレベルセンシティブラッチと前記他のフリップフロップとの間の所定位置である。詳しくは、前記第1のレベルセンシティブラッチが入力データをスルーした際の前記第1のレベルを特定の第1レベルとし、クロックサイクルにおいて当該特定の第1レベルの直後に続く前記第2のレベルを特定の第2レベルとし、クロックが当該特定の第2レベルを示している時間を特定時間とした場合に、前記出力側組合せ回路中において、前記特定時間に属する最悪遅延時間を有するような位置を検索し、当該検索した位置を前記所定位置として、その所定位置に第2のレベルセンシティブラッチを挿入する。

【0011】上述した遅延最適化方法は、一のフリップフロップに着目すると共に、その前後に接続された第1及び第2の条件を満たす入力側組合せ回路及び出力側組合せ回路に着目して、記載されている。

【0012】これに対して、次に掲げる遅延制約方法は、フリップフロップの出力側に遅延制約を満たしている他の組合せ回路がある場合についても考慮したものである。換言すれば、かかる遅延最適化方法は、上述した遅延最適化方法であって、前記置き換えられた第1のレベルセンシティブラッチの後段に、前記出力側組合せ回路とは異なる他の出力側組合せ回路が存在し、且つ、当該他の出力側組合せ回路に違反がなかった場合を前提とするものであると言える。この「他の組合せ回路」と

「出力側組合せ回路」とは、適宜、一の組合せ回路を分割して得られるものであっても良い。

【0013】当該遅延制約方法においては、当該他の出力側組合せ回路の後段に更に、前記特定のフリップフロップとは異なる他のフリップフロップが存在するか否かを判定し、当該他のフリップフロップが存在する場合には、前記第1のレベルセンシティブラッチと前記他の出力側組合せ回路との間に、クロックが第2のレベルを示している際の入力データを出力側にスルーする第2のレベルセンシティブラッチを挿入する処理をも含む。

【0014】これら本発明の概念は、装置としても具現化することができる。また、コンピュータ等の情報処理

装置とソフトウェアとの組合せにより、当該装置と同等の機能を有するようにすることも可能である。

【0015】

【発明の実施の形態】以下、本発明の実施の形態による遅延最適化方法を採用してなる遅延最適化装置について図面を参照して詳細に説明する。

【0016】本実施の形態による遅延最適化装置は、順序回路における遅延最適化を図るためのものであり、より具体的には、最適化前においてフリップフロップを含んで構成される順序回路を対象として、必要に応じて、フリップフロップをラッチに変換するものである。尚、以下においては、フリップフロップとして、クロックの立ち上がりエッジに応じて入力データ（入力信号）を保持するものについて説明する。

【0017】かかる遅延最適化装置は、図1に示されるように、概略、入力装置1、データ処理装置2、記憶装置3、出力装置4を備えている。ここで、入力装置1は、例えば、キーボードやマウスなどであり、出力装置4は、ディスプレイ装置等である。データ処理装置2は、制御部21、回路情報入力部22、遅延解析部23、条件判定部24、ラッチ変換部25、ラッチ挿入部26及び回路情報出力部27とを備え、記憶装置3は、入力論理回路情報格納部31、内部データベース（DB）32、出力論理回路情報格納部33、ライブラリ格納部34及び遅延制約情報格納部35を備えるものである。記憶装置3の備える各構成要素は、個々に独立した記憶手段であっても良いし、一の記憶装置の所定の領域を割当てることにより構成しても良い。特に、内部DBは、後述するように、その格納する内容が変わるものであるから、別個の記憶手段として設けることとしても良い。

【0018】詳しくは、入力論理回路情報格納部31は、入力論理回路情報を格納するものである。入力論理回路情報とは、遅延最適化の対象となる順序回路の当初の回路構成（以下、入力論理回路という。）等に関する情報である。内部DB32は、処理対象たるデータを一時的に格納するものであり、具体的には、入力論理回路情報をデータ処理装置2が扱い易いように加工してなるものを初期のデータとして、後述するように、遅延解析部23等の処理により、内容を更新されるものである。内部DB32の有するデータ構造としては、例えば、入力論理回路中に含まれる各論理素子の情報及びそれらの接続状況、並びに後述する遅延解析部による遅延解析結果等を格納するためのフィールドを有するものが挙げられる。

【0019】出力論理回路情報格納部33は、本実施の形態による遅延最適化装置により最適化された論理回路の情報（出力論理回路情報）を格納するためのものである。

【0020】ライブラリ格納部34は、入力論理回路中

に含まれる各論理回路素子、フリップフロップ（F F）、ローアクティブ及びハイアクティブのラッチ（L L及びH L）に関する遅延情報（データを出力するのに要する出力遅延や、F Fにおけるセットアップ時間など）をライブラリとして格納する。一方、遅延制約情報格納部 35 は、設計上の遅延の制約に関する遅延制約情報を格納する。具体的には、クロックサイクル等のクロックに関する情報や、最適化の対象たる入力論理回路における外部とのインタフェースに相当する部分の遅延情報を格納する。これら、ライブラリ及び遅延制約情報の内容、並びに遅延解析部 23 の動作等については、以下に示す本実施の形態中の説明のみならず、後述する実施例においても詳細な説明がなされる。

【0021】一方、データ処理装置 2 における各構成要素は、それぞれ、次のようなものである。

【0022】すなわち、回路情報入力部 22 は、入力論理回路情報格納部 31 からの入力論理回路情報を受けて、前述したように、遅延解析部 23 等が処理し易いように加工してなるデータを、内部 DB 32 に設定する。

【0023】遅延解析部 23 は、内部 DB に格納してあるデータで表される論理回路に関し、ライブラリ格納部 34 及び遅延制約情報格納部 35 に格納されたライブラリ及び遅延制約情報に基づいて、遅延計算等を行う。より具体的には、論理回路中の各論理回路素子における到着時間及び必要時間（required time）等を計算し、その値を内部 DB 32 に格納されるデータに加えるようにして、データ更新を行う。一般には、到着時間とは、各論理回路素子などにデータが到着する時間をいい、必要時間とは、データバス上の遅延等を考慮した上で、いつまでに到着しなければならないかを示す時間をいう。この遅延解析部 23 による遅延解析結果に従い、一のフリップフロップの前段及び後段に接続される組合せ回路を、遅延制約を満足する組合せ回路と遅延制約違反のある組合せ回路とに分類することができる。

【0024】条件判定部 24 は、内部 DB 32 に格納してあるデータで示される論理回路に含まれる全てのフリップフロップについて、各フリップフロップ毎に、次のような処理を行う。即ち、条件判定部 24 は、特定の一のフリップフロップに着目し、当該特定のフリップフロップが第 1 及び第 2 の条件の双方を満たしているか否かを判定する。ここで、第 1 の条件とは、当該特定のフリップフロップの入力側に位置する組合せ回路における遅延が、設計上要求される制約を所定の余裕をもって満たしていることである。一方、第 2 の条件とは、当該フリップフロップの出力側に位置する組合せ回路における遅延が、制約に違反していることである。

【0025】ラッチ変換部 25 は、条件判定部 24 における判定結果に従い、第 1 及び第 2 の条件を満たす特定のフリップフロップ（F F）を、ローアクティブのラッチ（L L）に変換する。このローアクティブのラッチ

は、クロックがローレベルを示している際に入力されるデータを、出力側にスルーするものであり、クロックがハイレベルに変化した際にはデータロックし、その後ハイレベル中に入力データの変動があっても出力データの変動しないものである。

【0026】ラッチ挿入部 26 は、M I N 遅延保証（最良遅延保証）を行うために、必要に応じて、ハイアクティブのラッチ（H L）を挿入するものである。特定のフリップフロップをローアクティブのラッチに変換してしまふと、特定のフリップフロップにおけるデータ保持までの時間を、その後段に接続された出力側組合せ回路に貸し出すことができる一方、M I N 遅延保証を満足できなくなる場合がある。即ち、当該出力側組合せ回路の更に後段に接続されたフリップフロップ（以下、他のフリップフロップという。）があった場合、他のフリップフロップにおけるデータ保持のタイミングは、特定のフリップフロップからのデータ出力のタイミング等により定められているのであるが、特定のフリップフロップがラッチ変換されてしまうことにより、その起点となるタイミングがずれ、結果として、他のフリップフロップにおいて本来保持すべきデータとは異なるデータを保持することになってしまうおそれがある。これを防ぐべく、ラッチ挿入部 26 は、かような他のフリップフロップがある場合には、ハイアクティブのラッチを、ローアクティブのラッチと他のフリップフロップとの間の所定位置に挿入する。

【0027】詳しくは、ラッチ挿入部 26 は、まず、変換されたローアクティブのラッチがデータをスルーした際のローレベルの直後に続くハイレベルが供給される時間について考慮し、その時間中に最悪遅延時間が属するような位置を、ラッチ変換前に遅延制約違反を有していた出力側組合せ回路中にて検索する。このようにして、検索された位置が、ハイアクティブのラッチの挿入される所定位置となる。この処理は、その内容から理解されるように、ラッチ変換前に遅延制約を有していた出力側組合せ回路に対するものである。

【0028】これに対して、ローアクティブのラッチの後段に、もともと遅延制約を満足していた組合せ回路（以下、他の組合せ回路という。）も接続されていることもあり、更に、当該他の組合せ回路の後段にもフリップフロップが配置されている場合がある。かかる場合には、ラッチ挿入部 26 は、ローアクティブのラッチの直後にハイアクティブのラッチを挿入する。即ち、この際にラッチの挿入される所定位置は、ローアクティブのラッチと他の組合せ回路との間である。

【0029】回路情報出力部 27 は、ラッチ変換部 25 及びラッチ挿入部 26 により処理された後のデータを内部 DB 32 から受けて、出力論理回路情報として出力論理回路情報格納部 33 に格納する。

【0030】制御部 21 は、回路情報入力部 22、遅延

解析部 23、条件判定部 24、ラッチ変換部 25、ラッチ挿入部 26、回路情報出力部 27 の動作の順番等を制御する。この制御部 21 の制御により、上述した回路情報入力部等は、次のような一連の動作を行う。

【0031】以下、図 2 を主として、図 3 乃至図 7 を参照しながら、上述した遅延最適化装置の動作について説明する。

【0032】まず、回路情報入力部 22 により、入力論理回路情報格納部 31 に格納されている入力論理回路情報の読出が行われ、所定の形式にデータ変換されて、内部 DB 32 にその変換されたデータが設定される（ステップ S101）。ここで、入力論理回路情報は、図 3 に示されるようなフリップフロップ 51～56 と組合せ回路 61 及び 62 とからなる論理回路に関するものであり、図 4 に示されるようにクロックサイクルが $t_3 - t_1$ であるようなクロックに従って動作するものであるとする。図 3 及びそれ以降の図において、フリップフロップは FF として示されている。また、実際には、論理回路の外部とのインターフェイスも存在するが、本実施の形態においては参照を要しないので、図 3 及びそれ以降の図においては、それらを省略してある。尚、組合せ回路 61 及び 62 は、例えば、AND、OR、インバータ、バッファと、それらを複合した論理回路素子の集合として構成されている。

【0033】次いで、遅延解析部 23 により、各フリップフロップに対して、遅延制約の設定が行われる（ステップ S102）。詳しくは、遅延解析部 23 は、遅延制約情報格納部 35 に格納された遅延制約情報とライブラリ格納部 34 に格納されたライブラリとを参照し、各フリップフロップにおける入力側の必要時間と出力側の到着時間とを設定する。

【0034】続いて、遅延解析部 23 は、全ての論理回路素子の到着時間及び必要時間の計算を行う（ステップ S103）。詳しくは、ステップ S102 で設定したフリップフロップの到着時間を起点として、後段に向かって遅延時間を加算していくことにより、各論理回路素子における到着時間を算出する。また、ステップ S102 において設定したフリップフロップの必要時間を起点として、前段に向かって遅延時間を減算していくことにより、各論理回路素子における必要時間を算出する。このようにして、全ての論理回路素子について遅延解析を行うことにより、図 3 に示される回路を、図 5 に示されるような回路であると考えることができる。即ち、遅延解析部 23 は、図 3 に示される組合せ回路 61 を組合せ回路 611 と遅延制約に余裕のある組合せ回路 612 とに分類することができ、また、組合せ回路 62 を遅延制約を満足する組合せ回路 621 と遅延制約に違反する組合せ回路 622 とに分類することができる。

【0035】次いで、条件判定部 24 が遅延解析結果に基づいて、前述の第 1 及び第 2 の条件の双方を満たす

リップフロップの判定を行う（ステップ S104）。この判定の結果、フリップフロップ 52 は、入力側組合せ回路 612 が遅延制約に余裕のあるものであり、且つ、出力側組合せ回路 622 が遅延制約に違反しているものであることから、第 1 及び第 2 の条件の双方を満たすものであると判定される。同様に、フリップフロップ 53 も第 1 及び第 2 の条件の双方を満たすものであると判定される。

【0036】ステップ S104 における判定の結果、ラッチに変換する候補が見つかった場合、ラッチ変換部 25 は、変換候補たるフリップフロップをローアクティブラッチに変換する（ステップ S105）。この結果、図 6 に示されるような論理回路が得られる。尚、図 6 及びそれ以降の図において、ローアクティブラッチは、 \overline{L} として示されている。

【0037】その後、再び遅延解析部 23 において遅延解析が行われ（ステップ S106）、遅延制約違反が解消されているか否かについて判断が下される（ステップ S107）。

【0038】遅延解析部 23 により遅延制約違反が改善されていた場合、図 7 に示されるように、ラッチ挿入部 26 によるハイアクティブラッチの挿入が行われる（ステップ S108）。尚、図 7 及びそれ以降の図において、ハイアクティブラッチは HL で示されている。

【0039】詳しくは、ローアクティブラッチ 71 及び 72 に接続された組合せ回路 622 の後段には、他のフリップフロップ 56 が更に接続されている。また、組合せ回路 622 の後段には、組合せ回路 621 を介して、他のフリップフロップ 54 及び 55 も接続されている。しかも、組合せ回路 622 は、ラッチ変換前において遅延制約違反のあった回路である。したがって、ラッチ挿入部 26 は、前述したように、組合せ回路 622 における最悪遅延の変化から、図 7 に示されるような所定の位置を求める。詳しくは、ラッチ挿入部 26 は、ローアクティブのラッチ 71 及び 72 が図 4 に示されるクロックサイクルにおいて $t_2 - t_3$ 間にデータスルーしたのであれば、 $t_3 - t_4$ 間に最悪遅延が属するような位置を所定位置として求める。図 7 に示された例において、所定の位置は、組合せ回路 622 を組合せ回路 6221 及び 6222 に分割する位置である。このようにして所定位置を求めた後、ラッチ挿入部 26 は、その所定位置に、ハイアクティブラッチ 83（84）を挿入する。

【0040】更に、図 6 に示されるように、ローアクティブラッチ 71 及び 72 の後段には、遅延制約をもともと満足していた組合せ回路 621 が接続されており、更に後段には、他のフリップフロップ 54 及び 55 が接続されている。そこで、ラッチ挿入部 26 は、図 7 に示されるように、ローアクティブラッチ 71 及び 72 と組合せ回路 621 との間に、ハイアクティブラッチ 81 及び 82 を挿入する。ラッチ挿入処理（ステップ S108）

が終わったら、再びステップS103に戻り、遅延解析を行い（ステップS103）、変換候補がなくなるまで（ステップS104）、上記一連の処理を繰り返す。

【0041】一方、ステップS107において、ラッチ変換した結果について遅延解析を行い、遅延が改善しているか否か判断した結果、遅延が改善されていなかった場合、ローアクティブラッチをもとのフリップフロップに戻し（ステップS109）、他の変換候補があるか否か判定する（ステップS110）。判定の結果、変化候補が見つかった場合には、再度、ステップS105に戻り、上述した処理を繰り返す。

【0042】ステップS104において変換候補が見つからなくなった場合、若しくは、ステップS110において変換候補が見つからなかった場合には、その時点で内部DB32に格納されているデータに従って、回路情報出力部27が出力論理回路情報を生成し、出力論理回路情報格納部33に出力し（ステップS111）、遅延最適化処理を終了する。

【0043】以上、図1に示される遅延最適化装置における動作処理について説明してきたが、これを、プログラムに従う処理を実行するコンピュータ等の情報処理装置と、順路回路における遅延を最適化するための遅延最適化プログラムとで構成することとしても良い。

【0044】詳しくは、たとえば、立ち上がりエッジに応じて入力されるデータを保持するフリップフロップと組合せ回路とを備える順序回路における遅延を最適化するために、遅延最適化プログラムは、次の2つの処理：
1）特定のフリップフロップが前述の第1及び第2の条件との双方を満たしているか否かを判定する条件判定処理と、
2）特定のフリップフロップが第1及び第2の条件の双方の条件を満たしている場合に、当該特定フリップフロップを、ローアクティブラッチに置き換えるラッチ変換処理とをコンピュータに実行させることのできる命令を備える。この遅延最適化プログラムは、コンピュータの読取可能な記録媒体に記録され、コンピュータは、この記録媒体に記録された遅延最適化プログラムを読込むことにより、先の遅延最適化処理を実行する。

【0045】この遅延最適化プログラムが、ラッチ挿入処理をコンピュータに実行させる命令をも含んでも良いことは、上述した実施の形態から容易に理解されるであろう。

【0046】

【実施例】次いで、上述した実施の形態における遅延最適化の動作処理について、更なる理解を深めるべく、図8乃至図13を参照して、本発明の実施例について説明する。

【0047】図8を参照すると、本実施例における処理対象の論理回路が示されている。図8に示される論理回路は、フリップフロップ5a～5jと、論理回路素子（ゲート）9a～9oを備えている。ゲート9a～9h

及び9i～9oは、組合せ回路を構成している。また、ゲート9a、9c、9e、9f、9g、9h、9i、9l、9n及び9oは、ANDゲートであり、他のゲートは、ORゲートである。

【0048】かかる論理回路を入力論理回路として遅延最適化をするにあたっては、上述の通り、まず、回路情報入力部22により入力論理回路情報の読出が行われ、内部DBへの設定が行われ、遅延解析部23による遅延解析が行われる。

10 【0049】遅延解析部23による遅延解析は、条件判定部24における条件判定の前提として行われるものであり、条件判定部24における条件判定は、下記数1式に示される余裕度が正であるか負であるかを判定することにより行われる。

【0050】

【数1】
余裕度(stack) = 必要時間 - 到着時間 ……(1)

(1)式を参照すれば理解されるように、条件判定にあたっては、各ゲート等における到着時間と必要時間とを算出する必要があり、そのために、遅延解析部23は、
20 まず、その計算の起点となるフリップフロップの出力側到着時間と入力側必要時間との設定を行う必要がある。

【0051】以下、この設定及び各ゲートにおける到着時間及び必要時間の算出について式を用いて説明するが、式を簡略化するために、各式においては、次のような変数を用いる。まず、 $t_{arrival}$ は到着時間であり、 $t_{required}$ は必要時間である。 t_{cycle} は、クロックサイクルであり、本実施例においては、8.0nsであるとして計算する。 t_{skew} は、クロックスキューであり、
30 本実施例においては、1.0nsであるとして計算する。 t_{setup} は、フリップフロップのセットアップ時間であり、本実施例においては、1.0nsであるとして計算する。 $t_{flip-flop}$ は、フリップフロップにおける遅延時間であり、本実施例においては、1.0nsであるとして計算する。 t_{gate} は、ゲートにおける入力ピンから出力ピンに至るまでのデータ遅延時間であり、本実施例においては、2.0nsであるとして計算する。 t_{latch} は、ラッチにおける遅延時間であり、本実施例においては、0.5nsであるとして計算する。尚、本実施例においては、ローアクティブラッチ及びハイアクティブラッチの遅延時間が等しく、いずれも t_{latch} であるとしているが、これらが異なる場合には、下記数式はそれに応じて変形されることは言うまでもない。また、
40 これら具体的な値を用いて計算した結果は、図9、図10及び図12に随時示される。ここで、これら図において、各ゲート等における到着時間と必要時間の関係は、「到着時間／必要時間」として示してあり、特に、フリップフロップやラッチにおいては、上段を出力側の「到着時間／必要時間」とし、下段を入力側の「到着時間／必要時間」として示してある。

【0052】これらを踏まえた上で、まず、遅延解析部 23 は、ライブラリを参照して、下記数 2 式に従い、フリップフロップの出力側到着時間を算出する。これにより、本実施例におけるフリップフロップの出力側到着時間は、1 ns となり、この値が各フリップフロップの出力側到着時間として設定される。

【0053】

【数 2】

FF の出力側到着時間

$$t_{\text{arrival}} = t_{\text{flip-flop}} \quad \dots (2)$$

FF の入力側必要時間

$$t_{\text{required}} = t_{\text{cycle}} - t_{\text{setup}} - t_{\text{skew}} \quad \dots (3)$$

これらフリップフロップの出力側到着時間及び入力側必要時間が設定されると、次いで、遅延解析部 23 は、論理回路の入力側から出力側に向かって、下記数 4 式乃至数 6 式に従い、各ゲート等における到着時間を順に算出

入力側が FF の場合のゲートの到着時間

$$t_{\text{arrival}} = \max(\text{入力側 FF の } t_{\text{arrival}} + t_{\text{gate}}) \quad \dots (4)$$

【0056】

入力側がゲートの場合のゲートの到着時間

$$t_{\text{arrival}} = \max(\text{入力側ゲートの } t_{\text{arrival}} + t_{\text{gate}}) \quad \dots (5)$$

【0057】

FF の入力側到着時間

$$t_{\text{arrival}} = \text{入力側ゲートの } t_{\text{arrival}} \quad (6)$$

フリップフロップ 5 a からフリップフロップ 5 d に至るパスを例にとり説明すると、まず、フリップフロップ 5 a 及び 5 b における出力側到着時間は、いずれも、1 ns であることから、ゲート 9 a における到着時間は、1 + 2 = 3 ns となる。

【0058】次いで、ゲート 9 e に着目すると、その入力側は、ゲート 9 a 及びフリップフロップ 5 c から来ており、(5) 式及び (4) 式に従うと、それぞれ、5 ns 及び 3 ns となる。このように、経路によって到着時間が異なる場合には、算出される到着時間のうち、最大のものを選択する。したがって、ゲート 9 e には、5 ns が設定される。

【0059】ゲート 9 e の出力は、フリップフロップ 5

また、遅延解析部 23 は、遅延制約情報及びライブラリを参照して、下記数 3 式に従い、フリップフロップの入力側必要時間を算出する。これにより、本実施例におけるフリップフロップの入力側必要時間は、6 ns となり、この値が各フリップフロップの入力側必要時間として設定される。

【0054】

【数 3】

していく。

【0055】

【数 4】

【数 5】

【数 6】

d に入力される。ゲート 9 e における到着時間は、5 ns であるので、(6) 式に従い、フリップフロップ 5 d の入力側到着時間は、5 ns となる。

【0060】同様の計算は、他の各ゲート及びフリップフロップについても行われ、到着時間が設定される。

【0061】これら各ゲート及びフリップフロップにおける到着時間が算出されると、次いで、遅延解析部 23 は、論理回路の出力側から入力側に向かって、下記数 7 式乃至数 9 式に従い、各ゲート等における必要時間を順に算出していく。

【0062】

【数 7】

出力側がFFの場合のゲートの必要時間

$$t_{\text{required}} = \text{出力側FFの} t_{\text{required}} \quad (7)$$

【0063】

【数8】

出力側がゲートの場合のゲートの必要時間

$$t_{\text{required}} = \min(\text{出力側ゲートの} t_{\text{required}} - \text{出力側ゲートの} t_{\text{gate}}) \quad (8)$$

【0064】

【数9】

FFの出力側必要時間

$$t_{\text{required}} = \min(\text{出力側ゲートの} t_{\text{required}} - \text{出力側ゲートの} t_{\text{gate}}) \quad (9)$$

再び、フリップフロップ5a及びフリップフロップ5d間のパスを例にとり説明する。到着時間の算出は、フリップフロップ5aを起点として開始したが、必要時間の算出にあたっては、フリップフロップ5dを起点とする。本実施例においては、フリップフロップ5dにおける入力側必要時間は、6nsである。したがって、(7)式に従って、ゲート9eの必要時間は、6nsと算出される。

【0065】また、ゲート9eの必要時間が6nsであることから、(8)式に従い、ゲート9aの必要時間は、4nsと算出され、同様にして、(9)式に従い、フリップフロップ5aの出力側必要時間は、2nsと算出される。

【0066】このようにして、他の全てのゲート及びフリップフロップの必要時間についても計算が行われる。

【0067】図7に示される全ての素子について到着時間及び必要時間を算出した結果は、図9に示される。図9においてフリップフロップ5a、5b及び5cの入力側は、省略されているので、これらフリップフロップの下段には、アンダーバー()が記述されている。同様にして、フリップフロップ5kの出力側は、不明であるので()を記述してある。

【0068】このような到着時間及び必要時間の算出が行われると、次いで、条件判定部24により、上述したように、(1)式に従った条件判定が行われる。これにより、フリップフロップ5d～5gの前段並びにゲート9i及び9lが遅延制約を満たしており、ゲート9j、9k、9m、9n及び9oが遅延制約に違反していることが分かり、また、上述した第1及び第2の条件を満たしているフリップフロップが参照符号5d～5gで示されるものであることが理解される。

【0069】このような判定がなされると、次いで、ラッチ変換部25は、第1及び第2の条件を満たすフリップフロップ5d～5gをローアクティブのラッチに変換する。変換後の回路は、図10に示される。

【0070】このようにラッチ変換された後、再び、遅延解析部23による遅延解析が行われ、最悪遅延が改善されたか否かの検討がなされる。この際、フリップフロップから変換されたローアクティブのラッチにおいて、出力側到着時間は、当然の如く、フリップフロップにおけるそれとは異なることとなる。

【0071】ローアクティブラッチは、クロックがローレベルにあるときの入力データを出力側にスルーする。ラッチの遅延時間を考慮すると、クロックがローレベルにあるときに入力データが入力されたなら、その時刻からラッチの遅延時間分だけ遅れた時間には、出力データが出力されることになり、また、クロックがハイレベルにあるときに入力データが入力されたなら、クロックがローレベルに変化し、さらに、その後ラッチの遅延時間分だけ遅れた時間に、出力データが出力されることになる。ここで、入力データが入力されるときとは、到達時間であり、従って、ラッチの前に設けられたゲートの到達時間となる。また、クロックがローレベルを示している時間は、デューティ比が50%であれば、クロックサイクルの1/2となる。これらを考慮すると、ローアクティブラッチの出力側到達時間は、下記数10式で示される。クロックのデューティ比が異なれば、1/2 t_{cycle}で示される項が変わることになるのは言うまでもない。

【0072】

【数10】

$$t_{\text{arrival}} = -1 \times \min(t_{\text{cycle}} - \text{入力側ゲートの } t_{\text{arrival}}, \frac{1}{2} t_{\text{cycle}}) + t_{\text{latch}} \quad \dots (10)$$

(10) 式並びに図10及び図11を参照すると、例えば、ローアクティブラッチ7aに入力データが到達するのは、 t_1 を0nsとした場合に5nsの位置、即ちクロックがローレベルにあるときである。この場合、フリップフロップ5dは、次のクロックの立ち上がりエッジ(t_3)が来るまで、入力データの保持を行わないが、ローアクティブラッチ7aに置き換えたことにより、ラッチの遅延時間0.5nsを考慮すると、フリップフロップ5dがデータ保持を行う時間よりも、2.5ns前の時間にはデータの出力がされることとなる。従って、ローアクティブラッチの出力側到着時間は、-2.5となり、その分(正確には、後述するように、後に挿入するハイアクティブラッチの遅延時間をも考慮した分)、後段に位置する組合せ回路は遅延制約を緩和される。

【0073】一方、ローアクティブラッチの入力側必要時間は、下記数11式に示されるように、ラッチの入力側到着時間に等しくて良い。また、ローアクティブラッチの出力側必要時間と入力側到着時間は、変換される前のフリップフロップのそれらと同じである。したがって、ローアクティブラッチの入力側必要時間は、入力側ゲートの到着時間に同じになる。

【0074】

【数11】

LLの入力側必要時間

$$t_{\text{required}} = t_{\text{arrival}} \quad \dots (11)$$

このようにして各ゲート等毎に算出された到着時間/必要時間は、図10に記述されている。図10を参照すると、ラッチ変換前に比較して、ラッチ変換後の状態においては、最悪遅延が改善されていることが明らかに理解される。

【0075】しかしながら、ローアクティブラッチの後段には、各ゲート等を介して、フリップフロップ5h、5i、5jが設けられている。したがって、フリップフロップ5d~5gをローアクティブラッチ7a~7dに置き換えただけでは、これらフリップフロップ5h、5i、5jにおけるデータ保持のタイミングが1クロックずれる可能性がある。従って、フリップフロップ5h、5i、5jにおいて正しいタイミングでデータ保持が行われるように、MIN遅延保証を行わなければならない。

【0076】ここで、図9及び図10に示される回路を比較すると、ゲート9iのみで構成される組合せ回路とゲート9lのみで構成される組合せ回路は、もともと遅延制約を満たしていたものであり、他のゲートで構成される組合せ回路は、ラッチ変換により遅延制約を満たすこととなったものであることが理解される。

【0077】ラッチ挿入部26は、このような各組合せ回路における遅延制約を考慮し、もともと遅延制約を満たした組合せ回路と、そうでない組合せ回路とでは取扱いを変えて、それぞれに適する所定位置にハイアクティブラッチを挿入する。

【0078】図10において、もともとは遅延制約に違反していた組合せ回路に着目し最悪遅延の変化を追っていくと、ゲート9mの出力側において、クロックがハイレベルを示す位置に最悪遅延が来ることが理解される。

したがって、ラッチ挿入部26は、図12に示されるように、ゲート9mとゲート9nの間に、ハイアクティブラッチ8eを挿入する。このとき、ハイアクティブラッチ8eについては、データスルーできる状態にデータが入力されることになるため、出力側のみを考慮すれば良く、従って、通常のゲートと同様にして到着時間/必要

時間を算出することができる。即ち、(5)式及び(8)式を用いることで、かかるハイアクティブラッチ8eの到着時間及び必要時間を算出することができる。

【0079】一方、図10において、ゲート9i及びゲート9lの夫々からなる組合せ回路は、もともと遅延制約を満たしていた。従って、この場合、ハイアクティブラッチ8eの挿入とは異なり、図12に示されるように、ゲート9i、9lとラッチ7a~7dとの間に、夫々、ハイアクティブラッチ8a~8dを挿入する。尚、

このようにして挿入されたハイアクティブラッチ8a~8dと直前のローアクティブラッチ7a~7dは、あたかもフリップフロップと同じように動作する。また、このようにして挿入されたハイアクティブラッチの出力側到着時間は、ラッチにおける遅延時間であり、入力側要求時間は、特にどのような値であっても良いことから、本実施例においては、ハイアクティブラッチの入力側到着時間と同じ値とする。即ち、ハイアクティブラッチの出力側到着時間及び入力側必要時間は、下記数12及び数13式を用いることができる。尚、ハイアクティブラッチの入力側到着時間は、入力側のローアクティブラッチの到着時間に同じであり、出力側必要時間は、(9)

式を用いることができる。

【0080】

【数12】

LL直後のHLの出力側到着時間

$$t_{\text{arrival}} = t_{\text{latch}} \quad \dots (12)$$

【0081】

【数13】

LL直後のHLの入力側必要時間

$$t_{\text{required}} = t_{\text{arrival}} \quad \dots (13)$$

このようにして求められた到着時間／必要時間は、図12に示されている。図12を参照すれば理解されるように、遅延制約違反は、解消されている。

【0082】ここで、本実施例の付随的な効果について図13を用いて説明する。図13は、図9及び図12において、フリップフロップ5aからフリップフロップ5d（変換後は、ラッチ7a）に至るパス、及びフリップフロップ5d（同前）からフリップフロップ5jに至るパスに着目し、最適化前における遅延とラッチ挿入後における遅延とを比較した図である。図13を参照すれば理解されるように、フリップフロップ5dが挿入されていた際に考慮しなければならなかった遅延は、クロックスキューと、フリップフロップ5dにおけるセットアップ時間及び遅延時間であった。しかしながら、ラッチ変換後においては、各ラッチの遅延時間のみを考慮すれば良いこととなっており、クロックスキューを考慮しなくても良いこととなっている。これは、クロックスキューの影響によりレーシング等が生じ得る時間には、既にローアクティブラッチ7aをデータが通過しており、且つ、まだハイアクティブラッチ8eにデータが到達していないためである。したがって、例えば、ラッチの遅延時間がフリップフロップのセットアップ時間及び遅延時間等と同じであっても、ラッチのデータスルーのタイミングが図13に示されるような条件を満たす場合には、クロックスキューの分だけ、最悪遅延を解消することができる。

【0083】

【発明の効果】以上説明した通り、本発明によれば、立ち上がりエッジに応じてデータ保持するフリップフロップに関して、第1及び第2の条件を満たす所定のフリップフロップをローアクティブラッチに変換することにより、フリップフロップの前段に接続されている組合せ回路における余裕分を後段の遅延制約違反のある組合せ回路に貸し出すことができ、それにより、最悪遅延を改善することができる。

【0084】また、変換されたラッチ及び挿入されたラッチへのデータ入力タイミング等によっては、フリップフロップがあった場合に考慮に入れなくてはならなかつ

たクロックスキューを考慮する必要が無くなることから、更なる最悪遅延改善を図ることができる。即ち、クロックスキューが大きい回路に対して、本発明による遅延最適化手法を適用すると、従来例と比してもかなり有利な効果を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の実施の形態による遅延最適化装置の構成を示すブロック図である。

10 【図2】図1に示される遅延最適化装置の動作を示すフローチャートである。

【図3】動作説明に用いられる図であって、最適化前の状態の論理回路を示す図である。

【図4】対象たる論理回路のクロック情報を示す図である。

【図5】図3に示される論理回路に対して、遅延解析を行った後の状態を説明するための図である。

【図6】図5に示される論理回路に対して、ラッチ変換を行った後の状態を説明するための図である。

20 【図7】図6に示される論理回路に対して、ラッチ挿入を行った後の状態を説明するための図である。

【図8】本発明の実施例における最適化対象たる論理回路を示す図である。

【図9】図8に示される論理回路に対して遅延解析を行った結果を記述した図である。

【図10】図9に示される論理回路に対して、ラッチ変換をし、遅延解析を行った結果を記述した図である。

【図11】ラッチ変換による出力側到達時間の変化を説明するための図である。

30 【図12】図10に示される論理回路に対して、ラッチ挿入した結果を示す図である。

【図13】本発明の付随的な効果を説明するための図である。

【符号の説明】

1 入力装置

2 データ処理装置

21 制御部

22 回路情報入力部

23 遅延解析部

24 条件判定部

40 25 ラッチ変換部

26 ラッチ挿入部

27 回路情報出力部

3 記憶装置

31 入力論理回路情報格納部

32 内部データベース（内部DB）

33 出力論理回路情報格納部

34 ライブラリ格納部

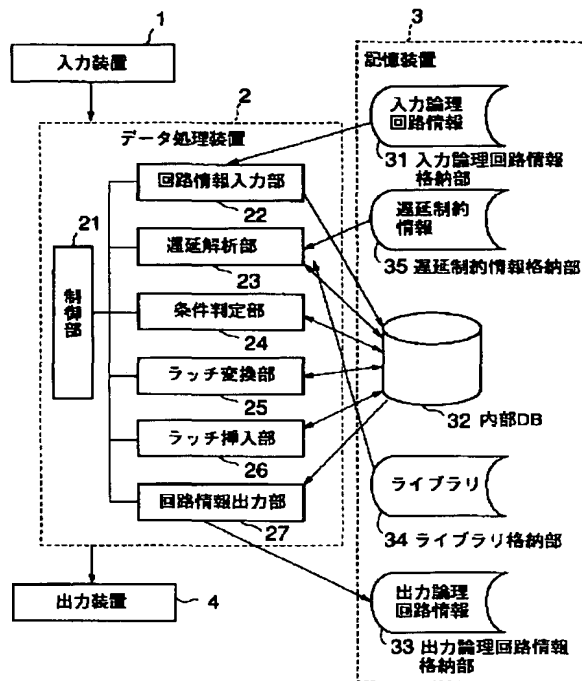
35 遅延制約情報格納部

4 出力装置

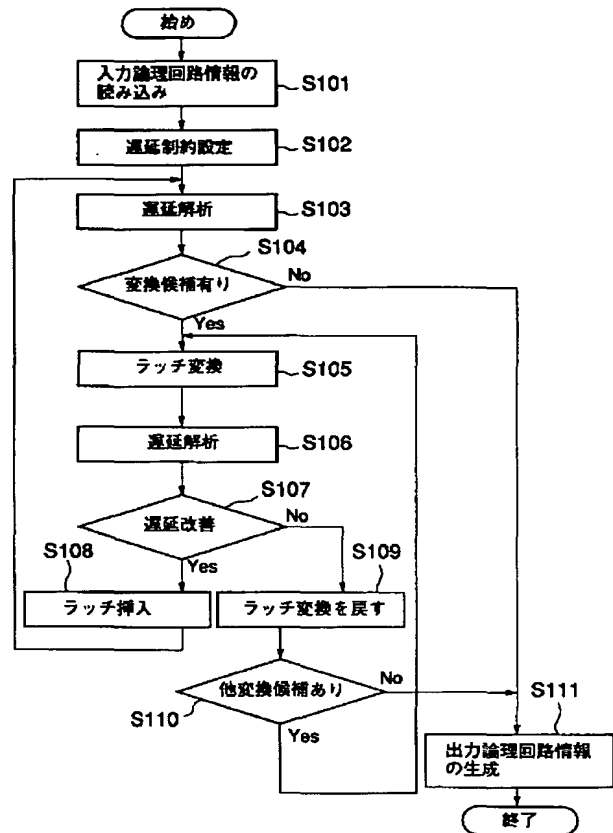
50 51～56 フリップフロップ（FF）

5 a ~ 5 j	23	フリップフロップ (FF)
6 1, 6 2		組合せ回路
6 1 1, 6 1 2		組合せ回路
6 2 1, 6 2 2		組合せ回路
6 2 2 1, 6 2 2 2		組合せ回路

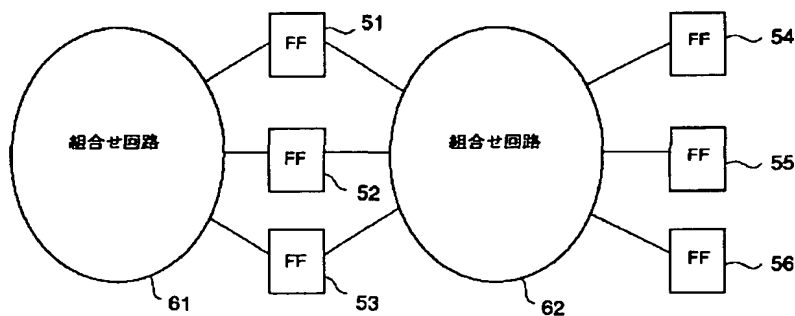
【図 1】



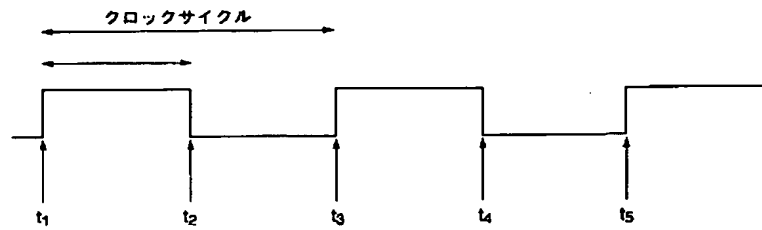
【図 2】



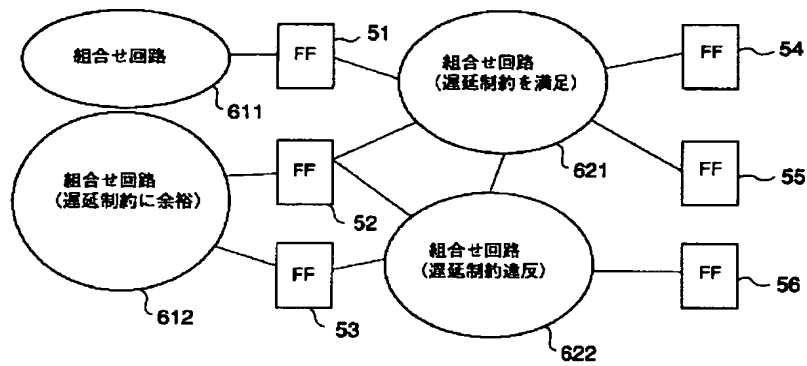
【図 3】



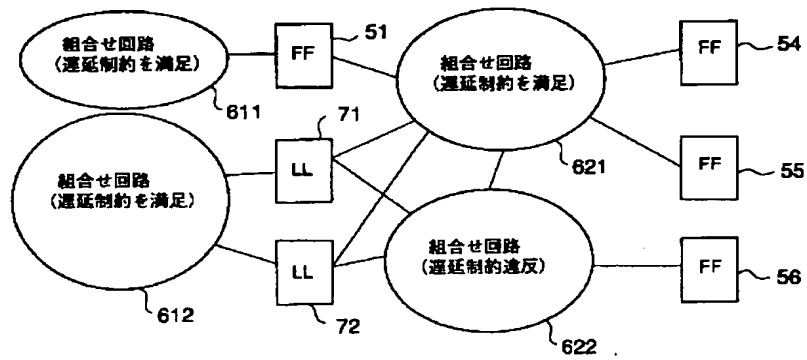
【図 4】



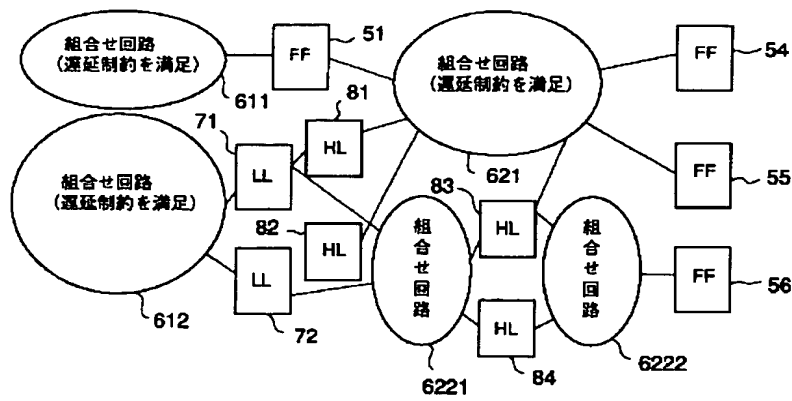
【図 5】



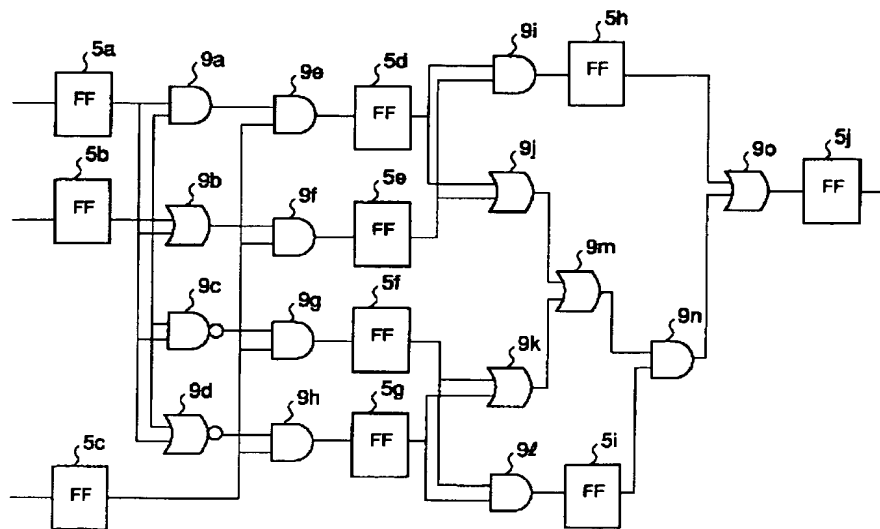
【図 6】



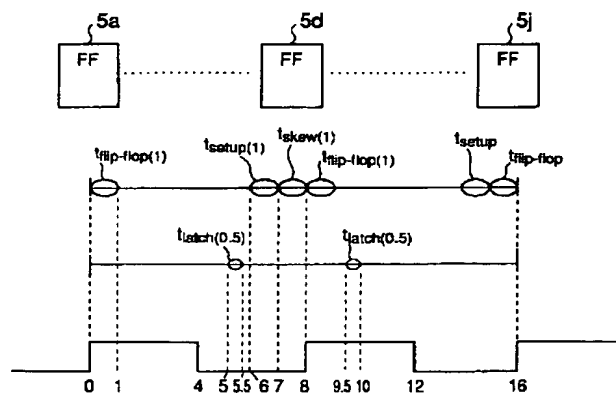
【図 7】



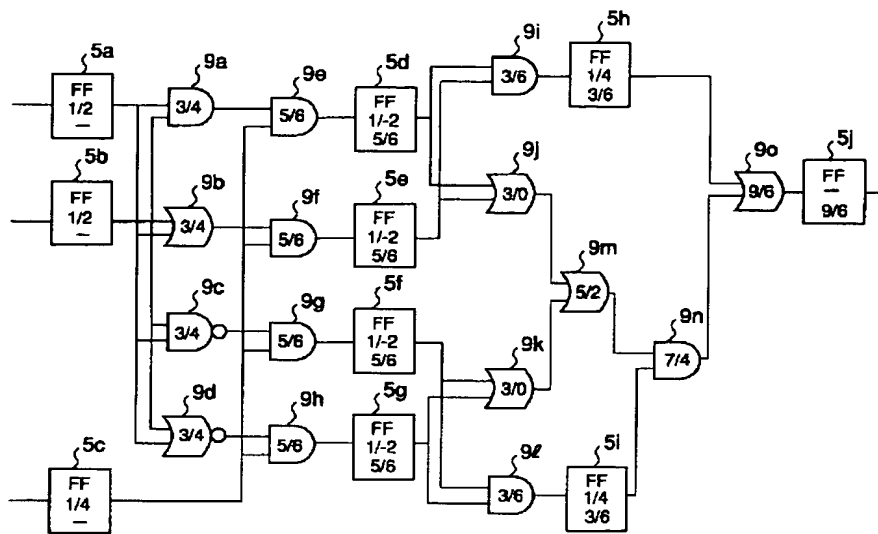
【図 8】



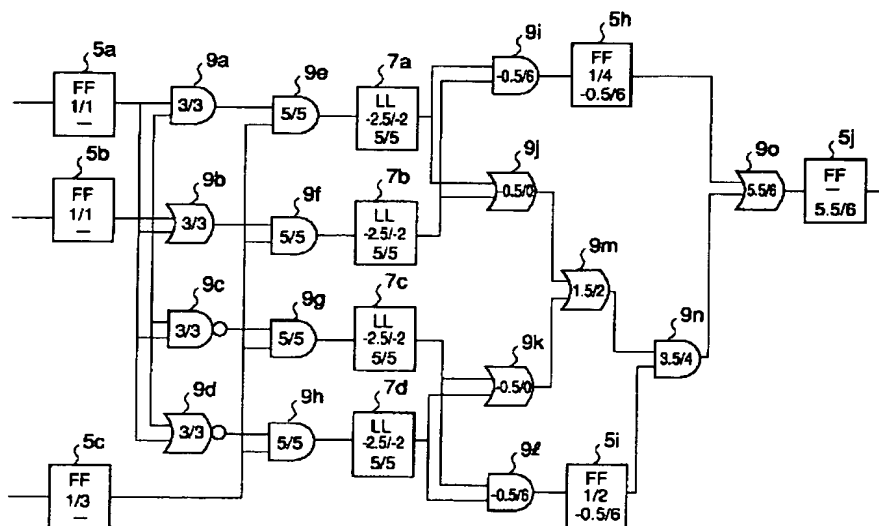
【図 13】



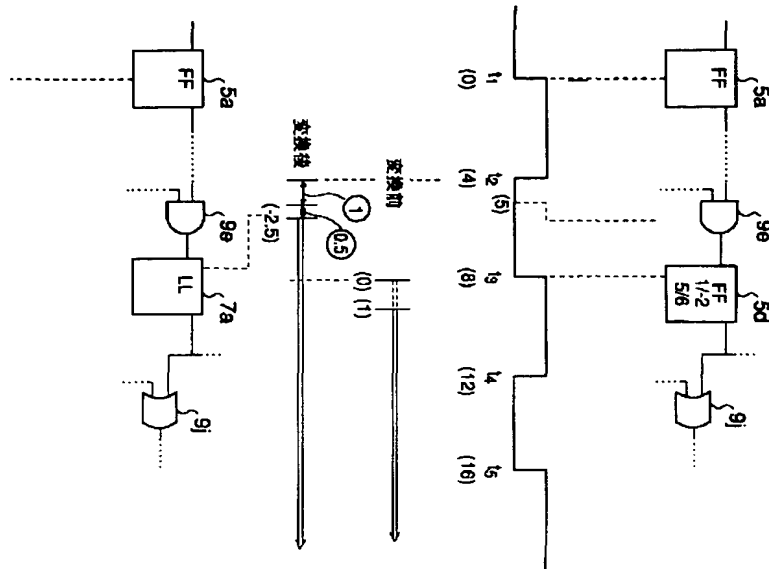
【図 9】



【図 10】



【図 11】



【図 12】

